

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-050720

(43)Date of publication of application : 20.02.1998

(51)Int.Cl.

H01L 21/331

H01L 29/73

H01L 29/205

(21)Application number : 08-203435

(71)Applicant : NIPPON TELEGR & TELEPH CORP
<NTT>

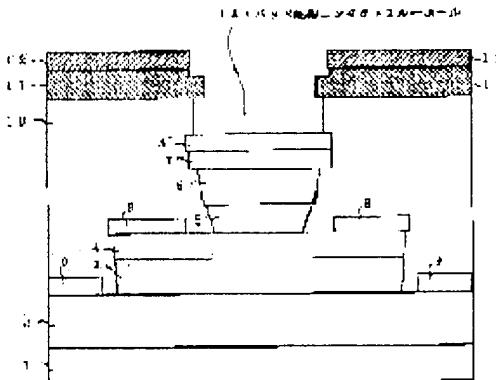
(22)Date of filing : 01.08.1996

(72)Inventor : YAMAHATA SHIYOUJI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE**(57)Abstract:**

PROBLEM TO BE SOLVED: To produce a very small sized hetero-junction bipolar transistor (HVT) having a high current amplification factor, good high frequency characteristics and superior reliability.

SOLUTION: This manufacturing method comprises step of spreading bisbenzocyclobuten BCB on the surface of a semiconductor device by the spin coating, curing it to perfectly harden the BCB, thereby forming a passivation film 10 for protecting the semiconductor device surface, and step of forming a silicon oxide film 11 on this film 10 at a lower temp. than the curing temp. and selectively etching the film 10 with use of the oxide film 11 to form wiring contact holes 14.

**LEGAL STATUS**

[Date of request for examination] 12.12.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The manufacture method of the semiconductor device using the compound semiconductor characterized by providing the following. The process which forms the passivation film which protects the front face of a semiconductor device by stiffening this varnish-like macromolecule precursor completely by carrying out curing after applying the varnish-like macromolecule precursor which makes a carbon element the main skeleton and contains the chemical bond of silicon elements in the molecular structure on the surface of a semiconductor device by the spin coating method. The process which forms the contact hole for wiring by forming a silicon oxide (SiO₂) at low temperature, and *****ing the aforementioned passivation film alternatively using this silicon oxide from the aforementioned curing temperature on the aforementioned passivation film.

[Claim 2] The process which forms the aforementioned contact hole for wiring The silicon oxide (SiO₂) formed on the aforementioned passivation film After using the usual photoresist as a mask and *****ing by the reactive-ion-etching method using 6 fluoride | ethane | (C₂F₆) gas, The manufacture method of the semiconductor device according to claim 1 characterized by *****ing alternatively to the aforementioned silicon oxide by the reactive-ion-etching | film / passivation / aforementioned] method using the mixed gas of 6 sulfur fluoride (SF₆) and oxygen (O₂).

[Claim 3] The aforementioned varnish-like macromolecule precursor is the manufacture method of the semiconductor device according to claim 1 or 2 characterized by being a SAIKUROTEK resin.

[Claim 4] The aforementioned varnish-like macromolecule precursor is the manufacture method of the semiconductor device according to claim 1 or 2 characterized by being screw benz-cyclo-butene (BCB).

[Claim 5] It is the manufacture method of a semiconductor device given in any of the claim 1 characterized by the aforementioned curing temperature being lower than the ohmic alloy temperature for making OMIKKU join a base electrode to a base layer at least when the aforementioned semiconductor device is the mesa type heterojunction bipolar transistor to which the laminating of a collector contact layer, a collector layer, a base layer, an emitter layer, and the emitter contact layer was carried out one by one, or a claim 4 they are.

[Claim 6] It is the manufacture method of a semiconductor device given in any of the claim 1 characterized by the aforementioned curing temperature being lower than the ohmic alloy temperature for the source, the heat-of-activation processing temperature of the ion-implantation field of a drain, or ohmic electrode production at least when the aforementioned semiconductor device is a field-effect transistor, or a claim 4 they are.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] About the manufacture method of a heterojunction bipolar transistor (it is hereafter written as HBT), especially, this invention has a detailed transistor size for the purpose of application in a low-power circuit, and relates to the manufacture method of HBT which was excellent in the RF property with the high current amplification factor.

[0002]

[Description of the Prior Art] HBT has many advantages advantageous to highly-efficient-izing of a transistor -- that a big current amplification factor is obtained, **, for this reason base resistance are stopped low, without reducing an emitter injection efficiency, even if it makes high impurity concentration of ** base high -- by using a semiconductor material with a bigger band gap than the base for an emitter. If compound semiconductor material is used especially, advantages -- excelling in ** electronic transport properties, that the combination of a heterojunction spreads by selection of ** material, and not only ** electron device but the fusion to an optical device is possible -- will increase.

[0003] HBT using the compound semiconductor grows the target semiconductor layer epitaxially on the semiconductor substrate which uses a field as the main front face generally (100), it forms mesa structure, forms an ohmic-contact electrode in an emitter layer, a base layer, and a collector layer, respectively, and is manufactured by etching.

[0004] In order to reduce such parasitism resistance of HBT, and a parasitic capacitance, and to attain improvement in the speed and to attain high integration and low-power-ization, a transistor size needs to be detailed-ized. However, we are anxious about having a bad influence on that the influence of the surface recombination current generated along the surface circumference length for an emitter / base joint becomes remarkable, and causes decline in a current amplification factor with detailed-izing of a transistor size, or an element life etc.

[0005] The passivation film formed in a semiconductor front face has big influence on generating of this surface recombination current. Impurities, such as moisture contained in the injury when forming a passivation film, stress (stress), and a film, disturb a semiconductor interface, and leakage-current increase is accelerated. Since the combination of the material in which the element which constitutes a semiconductor forms p-n junction by two or more kinds goes especially across a compound semiconductor hetero structural material variably, generating of a surface recombination current depends for it on the kind of passivation film, and the manufacture method greatly. For example, a radiation loss blemish is introduced into a semiconductor front face at the time of deposition, and, as for the silicon oxide and silicon nitride which were made to deposit in a plasma CVD method or a spatter, a surface recombination current increases. Moreover, the stress of a silicon oxide or a silicon nitride also serves as a cause of surface-recombination-current increase.

[0006] There are few injuries exerted on a terrorism structure device, especially an InP substrate from these reasons to a compound semiconductor at the semiconducting crystal at the time of deposition at material systems which carry out grid adjustment, such as InP, InGaAs, and InAlAs, and the organic system thin film by which stress is also eased is well used as a surface BASSHIBESHON film. The organic system thin film represented by the polyimide usually applies a varnish-like macromolecule precursor all over a wafer by spin coating, and is made to harden it by performing curing (curing=hardening processing : specifically heating, UV irradiation, etc.), and membrane formation completes it.

[0007] However, since minor reaction objects, such as moisture, are generated during a polymerization, the conventional polyimide of using a polyimide film for the passivation film of a compound semiconductor is not desirable from a viewpoint of reliability. for this reason, the inside of a film -- secondary -- as the organic system thin film which shows low hygroscopicity and rapid moisture discharge nature, excluding degree product -- a SAIKUROTEM resin -- Especially BCB of them (screw benz-cyclo-butene) [promising] (For example) "DAVID BURDEAUX and PAUL TOWNSEND and JOSEPH CARR and Journal of Electronic Materials, VoL.19, and No.12, 1990, pp.1357-1366", "R.H.Heistand II et al., and The InternationalJournalof Microcircuits and Electronic It is illustrated by Packaging, Vol.15, No.4, 1992, and pp183-194." This BCB resin has the feature advantageous to a compound semiconductor, like curing temperature exceeds the polyimide in a low, flat nature, chemical resistance, and solvent resistance.

[0008] However, the method of *****ing BCB completely hardened after curing is limited to the plasma etching method which contained the fluorine (F) as a reaction kind. This is because combination of Si-Si exists in the molecular structure of BCB, and is because combination of this Si-Si cannot be completely cut in the oxygen plasma etching usually performed by the

polyimide.

[0009] In order to form the contact through hole for wiring of HBT by which passivation was carried out by the BCB film, after usually carrying out patterning by optical exposure of g line, i line, etc. on a BCB thin film by the photoresist, plasma etching of the BCB thin film is carried out for this photoresist to a mask, and an electrode metal is exposed. However, since both of photoresists and BCB films are the macromolecules which made the carbon element the main skeleton, the etching rate to plasma etching is almost the same, and cannot give selectivity. Therefore, if plasma etching of the BCB film is carried out with a photoresist mask, since the etching rate of a photoresist is quick, side etching will advance during plasma etching, and a pattern will spread.

[0010] Especially, detailed-ization becomes difficult to the emitter electrode which needs the narrowest contact through hole. For example, the photoresist pattern (aperture) of 0.4-micrometer width of face which is the limitation of the optical exposing method is formed in the BCB thin film on 0.8-micrometer emitter electrode of width of face. When carrying out plasma etching of the BCB thin film of about 0.5 micrometers of thickness, in order that etching of 0.2 microns or more of one side may go into the side of a photoresist mask. If it is difficult to form a contact through hole with a width of face of 0.8 micrometers or less and pattern doubling precision is considered, it will be hard to realize high integration of a detailed HBT element which has an emitter electrode with a width of face of 1.0 micrometers or less.

[0011] Another method of taking out wiring from the emitter electrode of detailed HBT is the technique of "emitter electrode search" to which etchback of the insulator layer made to deposit all over a wafer is carried out, and only an emitter electrode is exposed. However, since there are difficulty [etchback] of control and a pattern dependency, the direction which forms a contact through hole rather than this emitter electrode pulling-out-head method is suitable for high integration of detailed HBT.

[0012]

[Problem(s) to be Solved by the Invention] as mentioned above, the inside of a film -- secondary -- in order to ***** the BCB film which shows low hygroscopicity and rapid moisture discharge nature, and fits the passivation film on the front face of a semiconductor, excluding degree product, etching sufficient in the oxygen plasma etching conventionally used by the polyimide does not have since real appearance This is because Si-Si combination is included in the molecular structure of BCB.

[0013] Moreover, although it is necessary to etch using the mask which carried out patterning by the photoresist in order to use this BCB thin film for the surface passivation film of a compound semiconductor HBT and to form a contact through hole, side etching of a photoresist mask becomes remarkable during etching of a BCB thin film, and formation of the contact through hole of a detailed size becomes difficult. In the usual optical exposure, the limitation formed the aperture of 0.4-micrometer width of face in the photoresist, and when the amount of side etching and doubling precision over the photoresist under etching were taken into consideration, forming an aperture narrower than 1.0 micrometers with sufficient homogeneity had the very difficult problem of **.

[0014] this invention is made in order to solve the problem of the conventional technology like the above, and it aims at offering the manufacture method of the semiconductor device which makes possible HBT of a detailed size excellent in a high current amplification factor, a good RF property, and reliability.

[0015]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, in this invention, it constitutes so that it may indicate to a claim. Namely, it sets to invention according to claim 1. A carbon element is made into the main skeleton in the manufacture method of the semiconductor device using the compound semiconductor. And after applying the varnish-like macromolecule precursor containing the chemical bond of silicon elements on the surface of a semiconductor device by the spin coating method into the molecular structure. By stiffening this varnish-like macromolecule precursor completely by carrying out curing The process which forms the passivation film which protects the front face of a semiconductor device. It has the process which forms the contact hole for wiring by forming a silicon oxide (SiO₂) at low temperature, and *****ing the aforementioned passivation film alternatively using this silicon oxide from the aforementioned curing temperature, on the aforementioned passivation film.

[0016] In addition, although the method of heating as the aforementioned curing (hardening processing) at predetermined temperature (guarantee temperature which the resin maker generally defined) is used, since there is a possibility of producing a certain chemical change on a passivation film as it is more than the curing temperature of the above [the temperature at the time of forming a silicon oxide], forming below at curing temperature is desirable [a silicon oxide].

[0017] Moreover, the process which forms the aforementioned contact hole for wiring For example, the silicon oxide (SiO₂) according to claim 2 formed on the aforementioned passivation film like After using the usual photoresist as a mask and *****ing by the reactive-ion-etching method using 6 fluoride [ethane] (C₂F₆) gas. The aforementioned passivation film is alternatively *****ed to the aforementioned silicon oxide by the reactive-ion-etching method using the mixed gas of 6 sulfur fluoride (SF₆) and oxygen (O₂).

[0018] Moreover, the aforementioned varnish-like macromolecule precursor can use screw benz-cyclo-butene (BCB) for a claim 3 like a publication like a publication at a SAIKUROten resin and a claim 4.

[0019] Moreover, since there is a possibility that the operation of the range of an alloy being expanded which is not desirable may arise in being higher than the ohmic alloy temperature for for example the aforementioned curing temperature making OMIKKU join a base electrode to a base layer like when [according to claim 5] a semiconductor device is a mesa type heterojunction bipolar transistor, as for curing temperature, it is more desirable than alloy temperature to make it low temperature at least. Moreover, a thing [making the aforementioned curing temperature into low temperature like for the same reason at least than the

ohmic alloy temperature for the source, the heat-of-activation processing temperature of the ion-implantation field of a drain, or ohmic electrode production in the case of a field-effect transistor | according to claim 6 is desirable.

[0020] Although selection of the passivation film on the front face of a semiconductor is very important for realization of HBT of a detailed size which was excellent in a high current amplification factor, a RF property, and reliability like the above, the injury especially when depositing an insulator layer in a compound semiconductor and stress will have a bad influence on a semiconductor interface, and will cause property degradation including the reliability of the detailed size HBT from which a periphery component becomes dominant, as a passivation film with little the injury at the time of deposition and stress -- an organic system insulator layer -- desirable -- the inside of it -- the inside of a film -- secondary -- the SAIKUROTEN resin in which low hygroscopicity and rapid moisture discharge nature are shown, excluding degree product, especially a BCB resin film are the optimal as passivation films on the front face of a compound semiconductor

[0021] Formation of a detailed contact hole is enabled in this invention, using the above SAIKUROTEN resins, especially a BCB resin film as a passivation film on the front face of a compound semiconductor.

[0022] For example, it is possible by the following process to form mesa type HBT which has a contact through hole for wiring on an electrode 0.8 micrometers or less using the above-mentioned BCB film on a passivation film.

(1) The process which manufactures the organic system thin film passivation film which is made to harden the above-mentioned BCB resin completely, and bears the surface protection of Above HBT by applying the varnish-like BCB precursor which contains the chemical bond of silicon elements and makes a carbon element the main skeleton into the molecular structure by the spin coating method on the wafer which carried mesa type HBT, and carrying out curing at low temperature at least at least than the base-electrode ohmic alloy temperature of Above HBT.

(2) The process which deposits a silicon oxide on the above-mentioned BCB thin film at the membrane formation temperature which does not exceed the curing temperature at the time of the above-mentioned BCB thin film fabrication at least.

(3) a use as mask photoresist by which patterning was carried out on above-mentioned silicon oxide, and using 6 fluoride [ethane] (C₂F₆) gas at least reactive-ion-etching [silicon oxide / above-mentioned] (RIE) method -- etching -- the process which forms the contact hole for emitter electrode wiring of a detailed size by *****ing the above-mentioned BCB thin film alternatively to the above-mentioned silicon oxide the back by the RIE method using the mixed gas of 6 sulfur fluoride (SF₆) and oxygen (O₂) the bottom

[0023] Although it has the performance which was excellent as a passivation film, since the aperture for wiring contact of detailed size can be formed with sufficient repeatability by the optical exposure photolithography and the RIE method to the difficult varnish-like macromolecule precursor (for example, BCB film) of processing in this invention as mentioned above, high integration of detailed HBT with an emitter electrode width of face of 1.0 micrometers or less is realizable. Therefore, a high current amplification factor and good RF property is realizable. Moreover, since the varnish-like macromolecule precursor (for example, BCB film) which has low hygroscopicity and rapid moisture discharge nature as a passivation film is used, a surface recombination current can offer HBT of a detailed size which was excellent also in reliability few.

[0024]

[Embodiments of the Invention] The manufacture method of the InP/InGaAs system HBT by this invention is explained using drawing 1 - drawing 10, and drawing 11. Drawing 1 - drawing 10 are drawings showing the cross-section structure formed at each process in order of the process of the manufacture method in the gestalt of this operation, and are the cross-section structure schematic diagram seen from the field direction where reverse mesa structure appears (011). However, "1" in the display of the above-mentioned field direction shows the back bearing of "1." Moreover, it sets to each drawing, while giving a slash about the portion formed or processed mainly at the process concerned, a sign and a name are indicated, and the same portion as front drawing attaches only the sign. Moreover, drawing 11 is the outline plan of HBT formed by the method of this invention, and mainly shows arrangement of an electrode and a through hole.

[0025] The manufacture method in the gestalt of this operation is based on the process which uses an emitter electrode as hors d'oeuvre and forms a base electrode in a self-adjustment target, and each electrode is formed by vacuum evaporation and the lift-off method. In addition, the basic process of this formation method is illustrated by Japanese Patent Application No. No. 295886 [three to].

[0026] Drawing 1 a field (100) on the half-insulation InP substrate 1 used as the main front face first, by epitaxial growth methods, such as MOVPE and the gas source MBE To a collector, ohmic nature resistance The high concentration n type impurity for forming To the included InGaAs collector contact layer 2, the collector layer 3 which consists of InP and InGaAs, the InGaAs base layer 4 which doped the high concentration p type impurity, the InP emitter layer 5 which doped n type impurity, and an emitter, ohmic nature resistance The laminated structure which grew epitaxially the InGaAs emitter contact layer 6 which doped the high concentration n type impurity for forming one by one is shown.

[0027] The band structure is designed ultra high-speed and for high pressure-proofing, and the epilayer structure where the InP layer 3-1 which doped n type impurity, the InGaAs layer 3-2 which doped n type impurity, and the undoping InGaAs layer 3-3 were grown epitaxially one by one is used for the collector layer 3 which consists of InP and InGaAs with the gestalt of this operation.

[0028] Next, drawing 2 shows the process which forms the emitter electrode 7 on the InGaAs emitter contact layer 6 of the laminated-structure object shown in drawing 1. This emitter electrode 7 consists of a WSiN film formed by the Ti/Pt/Au/Pt/Ti laminated structure or spatter, and the RIE method which are formed by vacuum evaporation and the lift-off method. It is the feature to make the hexagon, as the flat-surface configuration of the emitter electrode 7 was shown in drawing 11, and for a field

(011) direction to form emitter length at this time, and not to include a field (011) direction in emitter width of face (S. it is illustrated by Yamahata, KKurishima, H.Ito, and Y.Matsuoka, "IEEE GaAs IC Symposium" 1995, and pp.163-166).

[0029] Next, drawing 3 uses the above-mentioned emitter electrode 7 as a mask, and reactive ion etching (ECRIE) using the source of plasma excited with the electronic resonance cyclotron is used. After performing anisotropic etching (the perpendicularity of the etching side is realizable for chlorine gas to an etching mask by adding argon gas) by chlorine / argon mixed gas until it reaches the InGaAs emitter contact layer 6 at least, The process which **** the InGaAs emitter contact layer 6 alternatively to the InP emitter layer 5 with a citric acid / hydrogen-peroxide-solution solution, and next **** the InP emitter layer 5 alternatively to the InGaAs base layer 4 with a hydrochloric acid / phosphoric-acid solution is shown.

[0030] Side etching of the InGaAs emitter contact layer 6 is carried out, and an undercut field is formed in the bottom of the mask of the emitter electrode 7. The InP emitter layer 5 will use this InGaAs emitter contact layer 6 as a mask, and it will **** By using the combination of ECRIE and selection wet etching as mentioned above, emitter-mesa structure including a suitable quantity of an undercut field is realizable under the emitter electrode 7 excellent in the homogeneity within a field, and repeatability.

[0031] Next, drawing 4 shows the process which forms the base electrode 8 of a Pt/Ti/Pt/Au laminated structure in the whole surface on the above-mentioned emitter-mesa structure, and the predetermined portion on the InGaAs base layer 4 by vacuum evaporationo and the lift-off method. Since the undercut field is formed in the bottom of the emitter electrode 7, the base electrode 8 by which vacuum evaporationo was carried out can form the self aryne InP emitter / InGaAs base structure where parasitism base resistance, and the base / collector junction capacity is very small, without connecting with the InP emitter layer 5 too hastily. Moreover, since the field direction from which order mesa structure appears and the flat-surface configuration of the emitter electrode 7 causes the short circuit of a base electrode 8 and the InP emitter layer 5 (011) is not included, the selection wet etching of the InP emitter layer 5 can be managed with the required minimum amount, and is excellent in the homogeneity within a field, and repeatability. Moreover, good ohmic contact resistance is obtained by performing ohmic heat treatment at 300 degrees C after the metal lift off of a base electrode. In addition, partial 8' formed on the emitter electrode among the base electrodes formed at this process becomes together with an emitter electrode, and becomes the emitter electrode 7.

[0032] Next, using a photoresist mask, by carrying out wet etching of the InGaAs base layer 4 and the InP/InGaAs collector layer 3 alternatively using a citric acid / hydrogen-peroxide-solution solution, and a hydrochloric acid / phosphoric-acid solution,

drawing 5 exposes the InGaAs collector contact layer 2, and shows after that the process which forms the collector electrode 9 of a Ti/Pt/Au/Pt/Ti laminated structure by vacuum evaporationo and the lift-off method.

[0033] Next, after drawing 6 carries out mesa etching of except for the active element section and performs separation between elements (not shown) by carrying out wet etching of the InGaAs collector contact layer 9 with a citric acid / hydrogen-peroxide-solution solution using a photoresist mask, it carries out spin coating of the SAIKUROten resin BCB all over a wafer, and shows the process which performs 250-degree C curing and forms the BCB passivation film 10 in a semiconductor front face. Since viscosity is excellent in flat nature for the low reason and can avoid the trouble of a stage piece etc. for a wiring process, the BCB precursor is effective.

[0034] Although the above-mentioned curing temperature is generally performed at a resin maker's guarantee temperature, it is set as low temperature rather than the ohmic heat treatment temperature after the metal lift off of the base electrode shown by aforementioned drawing 4 at least. This is for avoiding the operation which is not desirable as for expansion of the alloy range etc. by impressing temperature higher than heat treatment temperature. In addition, although it differs from the gestalt of this operation, it is desirable to make curing temperature into low temperature for the same reason as the above at least than the ohmic alloy temperature for the source, the heat-of-activation processing temperature of the ion-implantation field of a drain, or ohmic electrode production in the case of a field-effect transistor.

[0035] Moreover, since the positions (depth from a BCB film front face) of the emitter electrode 7, a base electrode 8, and a collector electrode 9 differ as shown in drawing 4, the thickness of BCB applied on each electrode differs. For an emitter electrode top, with the gestalt of this operation, the thickness of BCB is [the 0.7 micrometer and collector-electrode top of a 0.2 micrometer and base-electrode top] about 0.9 micrometers.

[0036] Next, drawing 7 shows the process which performs patterning for pad wiring contact through holes by the photoresist 12 on the emitter electrode 7, after depositing a silicon oxide (SiO₂) 11 by the plasma CVD method all over the wafer which applied the above-mentioned BCB passivation film 10 to the whole surface. In addition, this silicon oxide 11 is used as a layer insulation film. As shown in the plan of drawing 11 at this time, the pattern of a pad wiring contact through hole is formed also on a base electrode 8 and a collector electrode 9 simultaneously with the emitter electrode 7.

[0037] In addition, since there is a possibility of producing a certain chemical change on the BCB passivation film 10 as it is more than the curing temperature of the above [the temperature at the time of forming a silicon oxide 11], as for a silicon oxide 11, forming below at curing temperature is desirable.

[0038] Next, drawing 8 **** the above-mentioned silicon oxide 11 by the reactive-ion-etching (RIE) method which used 6 fluoride [ethane] (C₂F₆) gas, and shows the process which forms an aperture 13. By using 6 fluoride [ethane] gas, selectivity with a photoresist 12 can secure to some extent, and perpendicular anisotropic etching [try] is possible.

[0039] As one example of the etching rate using actual C₂F₆-RIE, it is photoresist:25 nm/min and about SiO₂:35 nm/min in quantity-of-gas-flow:50scm, gas **:2Pa, RF power:100W (power density : 0.14 W/cm²), substrate quality-of-the-material:Teflon, and the etching conditions made into the temperature:room temperature. this example -- thickness

[of SiO₂]: -- it is 300nm and about photoresist:1.2micrometer

[0040] Next, drawing 9 shows the process which forms the contact through hole 14 by using above-mentioned photoresist / silicon-oxide aperture 13 as a mask, and ***~~*****~~ing the BCB passivation film 10 by the RIE method using the mixed gas of 6 sulfur fluoride and oxygen.

[0041] In addition, although only the contact through hole 14 on the emitter electrode 7 was shown in drawing 9, as shown in the plan of drawing 11, a contact through hole is simultaneously formed also on a base electrode 8 and a collector electrode 9. In drawing 11, 14-1, 14-2, and 14-3 show each contact through hole on the emitter electrode 7, a base electrode 8, and a collector electrode 9. Moreover, 15-1, 15-2, and 15-3 show each pad wiring.

[0042] The thickness of the BCB passivation film 10 on the thickest collector electrode 9 As mentioned above, about 0.9 micrometers, Although the BCB film on the emitter electrode 7 is being about 0.2 micrometers on the thinnest emitter electrode 7, and removing all the BCB films on a collector electrode 9 to remarkable over etching Since selectivity can be taken to the mask of a silicon oxide 11 by using 6 fluoride [sulfur] gas and the mixed gas of oxygen, even if it performs over etching, the mask of a silicon oxide 11 does not retreat sharply. For this reason, the pad wiring contact through hole 14 on the emitter electrode 7 of a detailed size, a base electrode 8, and a collector electrode 9 can be formed at 1 time of a process, and a throughput can be shortened.

[0043] As one example of the etching rate using actual SF₆-RIE, it is BCB:115 nm/min, photoresist:105 nm/min, and about SiO₂:20 nm/min in quantity-of-gas-flow:6 fluoride [sulfur] 50sccm/oxygen 50sccm, gas **:1Pa, RF power:70W, substrate quality-of-the-material:Teflon, and the etching conditions of temperature:room temperature **.

[0044] In addition, since the etching rate of BCB to 6 fluoride [ethane] gas and a silicon oxide is of the same grade and large selectivity cannot be taken when 6 fluoride [ethane] gas RIE is used and BCB is etched instead of RIE of the mixed gas of 6 sulfur fluoride and oxygen, prolonged etching is needed and it is disadvantageous for formation of a detailed size pattern.

[0045] Next, drawing 10 is a process which forms the pad wiring 15 on the emitter electrode 7, a base electrode 8, and a collector electrode 9 through the above-mentioned contact through hole 14. In this case, pad wiring metal uses the thick Ti/Pt/Au (20/20/1200nm) laminated structure.

[0046] As mentioned above, according to the process shown in drawing 1 - drawing 10, although it has the performance which was excellent as a passivation film, the aperture for wiring contact of detailed size can be formed with sufficient repeatability to the difficult BCB resin film of processing.

[0047] In addition, especially in the gestalt of the above-mentioned implementation, although the most fundamental structure in an InP/InGaAs system was explained, it cannot be overemphasized by this invention that it is not limited to these and can apply also to HBT using other-materials systems, such as the InAlAs/InGaAs, AlGaAs/GaAs, and InGaP/GaAs system. Moreover, although the case where a semiconductor device was a heterojunction bipolar transistor was explained here, it cannot be overemphasized that a field-effect transistor is sufficient as a semiconductor device.

[0048]

[Effect of the Invention] Although it has the performance which was excellent as a passivation film in this invention as stated above, since the aperture for wiring contact of detailed size can be formed with sufficient repeatability by the optical exposure photolithography and the RIE method to the difficult varnish-like macromolecule precursor (for example, BCB film) of processing, high integration of detailed HBT with an emitter electrode width of face of 1.0 micrometers or less is realizable. Therefore, a high current amplification factor and good RF property is realizable. Moreover, in order to use the varnish-like macromolecule precursor (for example, BCB film) which has low hygroscopicity and rapid moisture discharge nature as a passivation film, the effect that a surface recombination current can offer HBT of a detailed size which was excellent also in reliability few is acquired.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. *** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The cross section showing the result formed at the 1st process in the gestalt of 1 operation of this invention.
[Drawing 2] The cross section showing the result formed at the 2nd process in the gestalt of 1 operation of this invention.
[Drawing 3] The cross section showing the result formed at the 3rd process in the gestalt of 1 operation of this invention.
[Drawing 4] The cross section showing the result formed at the 4th process in the gestalt of 1 operation of this invention.
[Drawing 5] The cross section showing the result formed at the 5th process in the gestalt of 1 operation of this invention.
[Drawing 6] The cross section showing the result formed at the 6th process in the gestalt of 1 operation of this invention.
[Drawing 7] The cross section showing the result formed at the 7th process in the gestalt of 1 operation of this invention.
[Drawing 8] The cross section showing the result formed at the 8th process in the form of 1 operation of this invention.
[Drawing 9] The cross section showing the result formed at the 9th process in the form of 1 operation of this invention.
[Drawing 10] The cross section showing the result formed at the 10th process in the form of 1 operation of this invention.
[Drawing 11] The outline plan of the element in the form of 1 operation of this invention.

[Description of Notations]

- 1 -- InP substrate
- 2 -- InGaAs collector contact layer
- 3 -- Collector layer
- 3-1 -- InP layer
- 3-2 -- InGaAs layer
- 3-3 -- InGaAs layer
- 4 -- InGaAs base layer
- 5 -- InP emitter layer
- 6 -- InGaAs emitter contact layer
- 7 -- Emitter electrode
- 8 -- Base electrode
- 9 -- Collector electrode
- 10 -- BCB passivation film
- 11 -- Silicon oxide
- 12 -- Photoresist
- 13 -- Aperture
- 14 -- Pad wiring contact through hole
 - 14-1 -- Contact through hole on an emitter electrode
 - 14-2 -- Contact through hole on a base electrode
 - 14-3 -- Contact through hole on a collector electrode
- 15 -- Pad wiring
 - 15-1 -- Pad wiring of an emitter electrode
 - 15-2 -- Pad wiring of a base electrode
 - 15-3 -- Pad wiring of a collector electrode

[Translation done.]

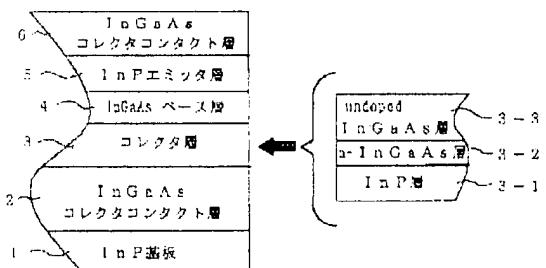
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

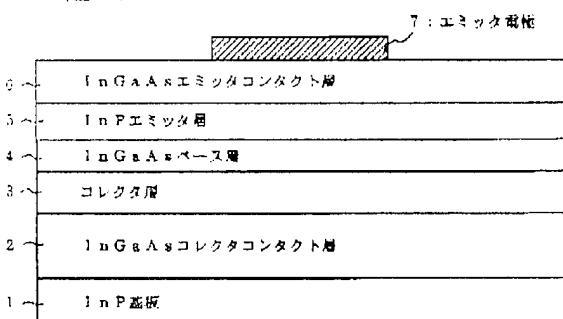
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

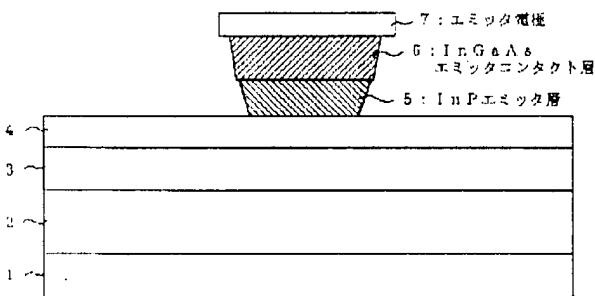
[Drawing 1]
(図1)



[Drawing 2]
(図2)

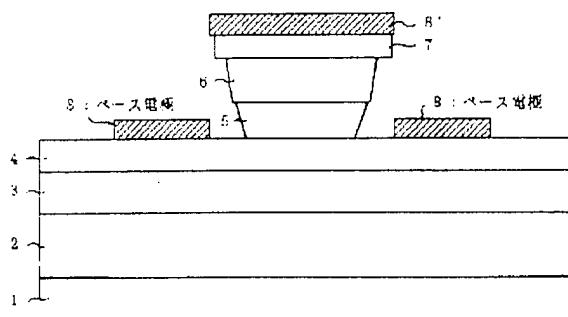


[Drawing 3]
(図3)



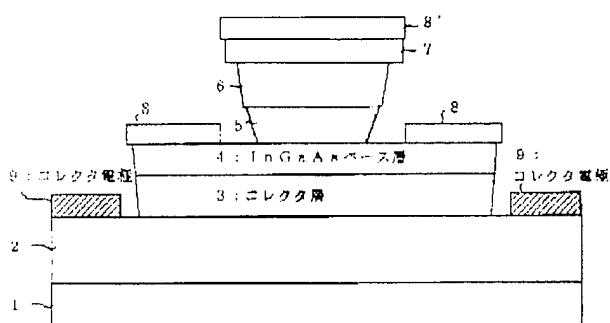
[Drawing 4]

(図 4)



[Drawing 5]

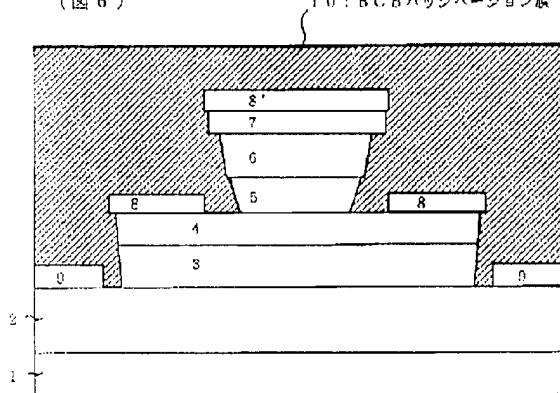
(図 5)



[Drawing 6]

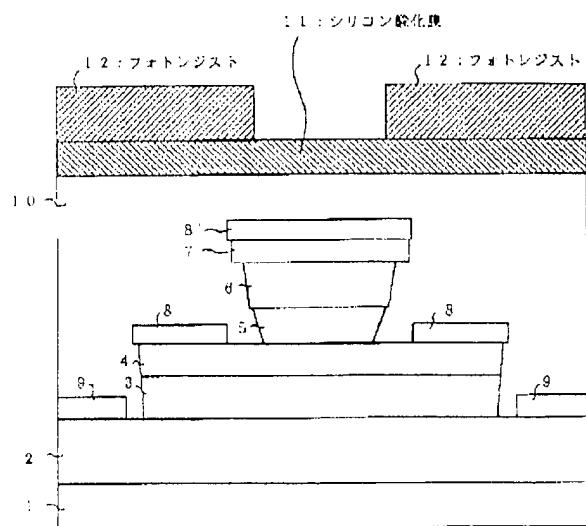
(図 6)

10 : BCB パッケージョン膜

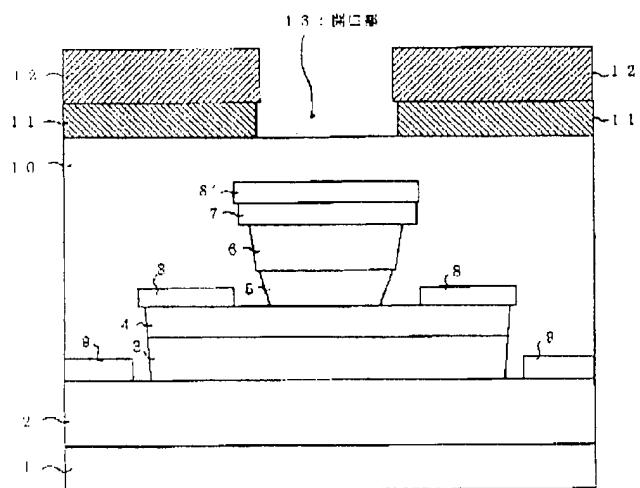


[Drawing 7]

(図 7)

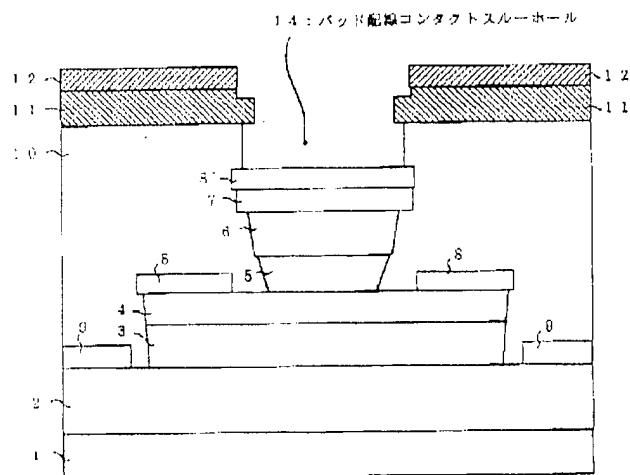


[Drawing 8]
(図 8)

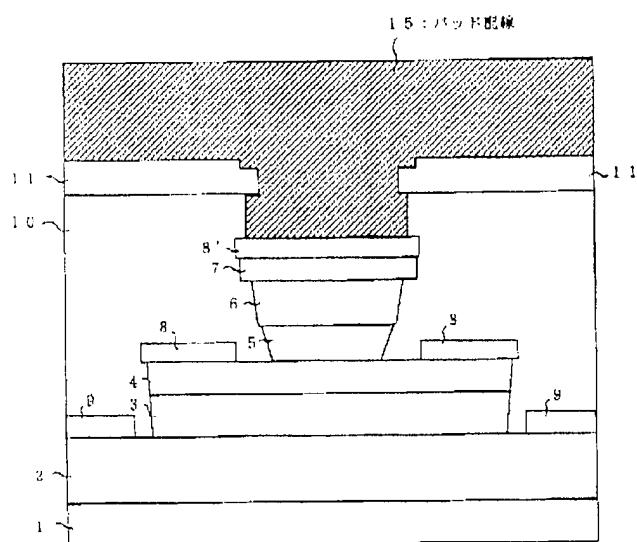


[Drawing 9]

(図 9)

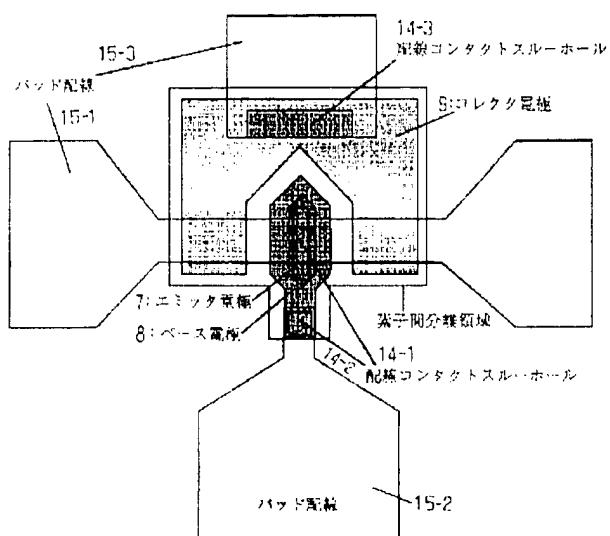


[Drawing 10]
(図 10)



[Drawing 11]

(図 1-1)



[Translation done.]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-50720

(43) 公開日 平成10年(1998)2月20日

(51) Int.Cl.⁶
H 01 L 21/331
29/73
29/205

識別記号 庁内整理番号

F I
H 01 L 29/72
29/205

技術表示箇所

審査請求 未請求 請求項の数 6 O.L (全 9 頁)

(21) 出願番号 特願平8-203435

(22) 出願日 平成8年(1996)8月1日

(71) 出願人 000004226

日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(72) 発明者 山船 章司

東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内

(74) 代理人 弁理士 中村 純之助

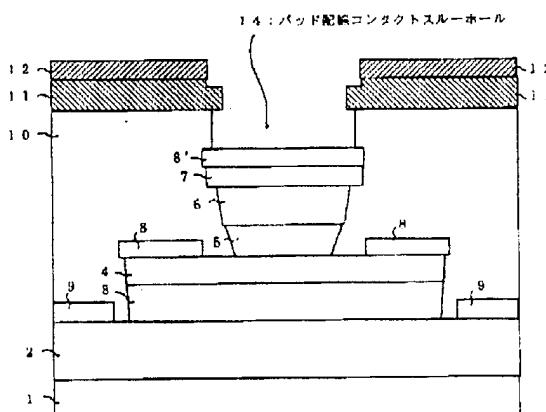
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】高電流増幅率、良好な高周波特性、信頼性に優れた微細寸法のHBTを可能とする半導体装置の製造方法を提供する。

【解決手段】ビスベンゾシクロブテン(BCB)をスピノコーティング法によって半導体装置の表面に塗布した後、キュアリングすることによって上記BCBを完全に硬化させることにより、半導体装置の表面を保護するパッシベーション膜10を形成する工程と、前記パッシベーション膜上に前記キュアリング温度より低い温度でシリコン酸化膜11を形成し、該シリコン酸化膜を用いて前記パッシベーション膜を選択的にエッチングすることにより、配線用コンタクトホール14を形成する工程と、を含むことを特徴とする半導体装置の製造方法。

(図9)



1

2

【特許請求の範囲】

【請求項1】化合物半導体を用いた半導体装置の製造方法において、

炭素元素を主骨格とし、かつ、分子構造中にシリコン元素同士の化学結合を含有するワニス状高分子前駆体をスピンドルコーティング法によって半導体装置の表面に塗布した後、キュアリングすることによって該ワニス状高分子前駆体を完全に硬化させることにより、半導体装置の表面を保護するパッシベーション膜を形成する工程と、前記パッシベーション膜上に前記キュアリング温度より低い温度でシリコン酸化膜(SiO₂)を形成し、該シリコン酸化膜を用いて前記パッシベーション膜を選択的にエッチングすることにより、配線用コンタクトホールを形成する工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項2】前記配線用コンタクトホールを形成する工程は、前記パッシベーション膜上に形成したシリコン酸化膜(SiO₂)を、通常のフォトレジストをマスクにして六フッ化エタン(C₂F₆)ガスを用いた反応性イオンエッチング法によってエッチングした後、前記パッシベーション膜を、六フッ化硫黄(SF₆)と酸素(O₂)の混合ガスを用いた反応性イオンエッチング法により、前記シリコン酸化膜に対して選択的にエッチングすることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】前記ワニス状高分子前駆体は、サイクロテン樹脂であることを特徴とする請求項1または請求項2に記載の半導体装置の製造方法。

【請求項4】前記ワニス状高分子前駆体は、ビスベンゾシクロブテン(BCB)であることを特徴とする請求項1または請求項2に記載の半導体装置の製造方法。

【請求項5】前記半導体装置が、コレクタコンタクト層、コレクタ層、ベース層、エミッタ層及びエミッタコンタクト層が順次積層されたメサ型のヘテロ接合バイポーラトランジスタの場合、前記キュアリング温度は、少なくともベース層にベース電極をオーム的に接合させるためのオームアロイ温度よりも低いことを特徴とする請求項1乃至請求項4の何れかに記載の半導体装置の製造方法。

【請求項6】前記半導体装置が電界効果トランジスタの場合、前記キュアリング温度は、少なくともソース又はドレインのイオン注入領域の活性化熱処理温度、またはオーム電極作製のためのオームアロイ温度よりも低いことを特徴とする請求項1乃至請求項4の何れかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ヘテロ接合バイポーラトランジスタ(以下、HBTと略記する)の製造方法に関するもので、特に低消費電力回路への適用を目的

とし、微細トランジスタ寸法を有し、高電流増幅率で高周波特性に優れたHBTの製造方法に関するものである。

【0002】

【従来の技術】HBTは、エミッタにベースよりもバンドギャップの大きな半導体材料を用いることにより、①ベースの不純物濃度を高くしてもエミッタ注入効率を低下させることなく大きな電流増幅率が得られること、②このためベース抵抗が低く抑えられること等、トランジスタの高性能化に有利な利点を多く有している。特に、化合物半導体材料を用いると、③電子輸送特性に優れていること、④材料の選択によりヘテロ接合の組み合わせが広がること、⑤電子デバイスのみならず光デバイスとの融合も可能であること等、利点が増大する。

【0003】化合物半導体を用いたHBTは、一般に(100)面を主表面とする半導体基板上に目的の半導体層をエピタキシャル成長させ、エッチングによってメサ構造を形成し、エミッタ層、ベース層、コレクタ層にそれぞれオームコンタクト電極を形成して製造される。

【0004】この様なHBTの寄生抵抗、寄生容量を減らして高速化を図り、また、高集積化、低消費電力化を図るためにには、トランジスタ寸法の微細化が必要である。しかし、トランジスタ寸法の微細化に伴い、エミッタ/ベース接合部分の表面周辺長に沿って発生する表面再結合電流の影響が顕著となり、電流増幅率の低下を招くことや電子寿命に悪影響を及ぼすこと等が懸念される。

【0005】この表面再結合電流の発生に大きな影響を与えるのが半導体表面に形成されるパッシベーション膜である。パッシベーション膜を形成する時の損傷や応力(ストレス)および膜中に含まれる水分等の不純物が半導体界面を乱し、リーク電流増大を加速する。特に化合物半導体ヘテロ構造材料は、半導体を構成する元素が2種類以上でp-n接合を形成する材料の組み合わせが多くなることから、表面再結合電流の発生がパッシベーション膜の種類、製造方法に大きく依存する。例えば、プラズマCVD法やスパッタ法で堆積させたシリコン酸化膜やシリコン窒化膜は、堆積時に半導体表面に放射損傷が導入されて表面再結合電流が増大する。またシリコン酸化膜やシリコン窒化膜の応力も表面再結合電流増大の一因となる。

【0006】これらの理由から化合物半導体ヘテロ構造デバイス、特にInP基板に格子整合するInP、InGaAs、InAlAs等の材料系には、堆積時の半導体結晶に及ぼす損傷が少なく、応力も緩和される有機系薄膜が表面パッシベーション膜としてよく用いられている。ポリイミドに代表される有機系薄膜は通常ワニス状の高分子前駆体をスピンドルコーティングによってウェハ全面に塗布し、キュアリング(curing=硬化処理：

具体的には加熱や紫外線照射等)を行うことで硬化させ、成膜が完了する。

【0007】しかしながら、従来のポリイミドは重合中に水分等の副次反応物が生成されるため、ポリイミド膜を化合物半導体のパッシベーション膜に使用することは信頼性の観点から好ましくない。このため膜中に副次生成物を含まず、かつ低吸湿性と急速な水分放出性を示す有機系薄膜としてサイクロテン樹脂、特にそのうちのBCB(ビスベンゾシクロブテン)が有望である(例えば、“DAVID BORDEAUX, PAUL TOWNSEND and JOSEPH CARB, Journal of Electronic Materials, Vol. 19, No. 12, 1990, pp.1357-1366”や“R.H.Heistand II et al., The International Journal of Microcircuits and Electronic Packaging, Vol. 15, No. 4, 1992, pp.183-194”に例示されている)。このBCB樹脂はポリイミドよりもキュアリング温度が低い、平坦性、耐薬品性、耐溶剤性に優れている等の化合物半導体に有利な特徴を有する。

【0008】しかしながら、キュアリング後完全に硬化したBCBをエッチングする方法は、反応種としてフッ素(F)を含んだプラズマエッチング法に限定される。これはBCBの分子構造内にSi-Siの結合が存在するためであり、通常ポリイミドで行われている酸素プラズマエッチングではこのSi-Siの結合を完全に切断することが出来ないからである。

【0009】BCB膜でパッシベーションされたHBTの配線用コンタクトスルーホールを形成するためにには、通常フォトレジストでBCB薄膜上にg線、i線等の光露光でパタニングした後、このフォトレジストをマスクにBCB薄膜をプラズマエッチングして電極金属を露出させる。しかし、フォトレジストとBCB膜はどちらも炭素元素を主骨格とした高分子であるため、プラズマエッチングに対するエッチングレートはほぼ同じであり、選択性を持たせることが出来ない。そのためフォトレジストマスクでBCB膜をプラズマエッチングすると、フォトレジストのエッチングレートが速いためサイドエッチングがプラズマエッチング中に進行し、バタンが拡がってしまう。

【0010】特に、最も狭いコンタクトスルーホールが必要なエミッタ電極に対して微細化が困難となる。例えば、0.8μm幅のエミッタ電極上のBCB薄膜に光露光法の限界である0.4μm幅のフォトレジストバタン(開孔部)を形成し、膜厚0.5μm程度のBCB薄膜をプラズマエッチングする場合、フォトレジストマスクのサイドに片側0.2ミクロン以上のエッチングが入るため、幅0.8μm以下のコンタクトスルーホールを形成することは困難であり、バタン合わせ精度を考えると幅1.0μm以下のエミッタ電極を有する微細HBT素子の高集積化は実現しがたい。

【0011】微細HBTのエミッタ電極から配線を取り出すもう一つの方法は、ウェハ全面に堆積させた絶縁膜

をエッチバックしてエミッタ電極のみを露出させる“エミッタ電極頭出し”の手法である。しかし、エッチバックの制御の難しさ、およびバタン依存性があることから、このエミッタ電極頭出し法よりもコンタクトスルーホールを形成する方が微細HBTの高集積化に適している。

【0012】

【発明が解決しようとする課題】上記のように、膜中に副次生成物を含まず、かつ低吸湿性と急速な水分放出性を示し、半導体表面のパッシベーション膜に適しているBCB膜をエッチングするには、従来ポリイミドで用いられている酸素プラズマエッチングでは充分なエッチングが実現出来ない。これはBCBの分子構造中にSi-Si結合が含まれているためである。

【0013】また、このBCB薄膜を化合物半導体HBTの表面パッシベーション膜に用い、コンタクトスルーホールを形成するためには、フォトレジストでパタニングしたマスクを用いてエッチングを行う必要があるが、BCB薄膜のエッチング中にフォトレジストマスクのサイドエッチングが顕著になり、微細寸法のコンタクトスルーホールの形成が困難となる。通常の光露光ではフォトレジストに0.4μm幅の開孔部を形成するのが限界で、エッチング中のフォトレジストに対するサイドエッチング量、合わせ精度を考慮すると1.0μmよりも狭い開孔部を均一性良く形成するには非常に困難である、等の問題があった。

【0014】本発明は、上記のごとき従来技術の問題を解決するためになされたものであり、高電流増幅率、良好な高周波特性、信頼性に優れた微細寸法のHBTを可能とする半導体装置の製造方法を提供することを目的とする。

【0015】

【課題を解決するための手段】上記の目的を達成するため、本発明においては、特許請求の範囲に記載するよう構成している。すなわち、請求項1に記載の発明においては、化合物半導体を用いた半導体装置の製造方法において、炭素元素を主骨格とし、かつ、分子構造中にシリコン元素同士の化学結合を含有するワニス状高分子前駆体をスピンドルコート法によって半導体装置の表面に塗布した後、キュアリングすることによって該ワニス状高分子前駆体を完全に硬化させることにより、半導体装置の表面を保護するパッシベーション膜を形成する工程と、前記パッシベーション膜上に前記キュアリング温度より低い温度でシリコン酸化膜(SiO₂)を形成し、該シリコン酸化膜を用いて前記パッシベーション膜を選択的にエッチングすることにより、配線用コンタクトホールを形成する工程と、を備えている。

【0016】なお、前記キュアリング(硬化処理)としては、所定の温度(一般に樹脂メーカーの定めた保証温度)で加熱する方法を用いるが、シリコン酸化膜を形成

する際の温度が前記のキュアリング温度以上であるとパッジベーション膜に何らかの化学変化を生じるおそれがあるので、シリコン酸化膜はキュアリング温度以下で形成することが望ましい。

【0017】また、前記配線用コンタクトホールを形成する工程は、例えば、請求項2に記載のように、前記パッジベーション膜上に形成したシリコン酸化膜(SiO₂)を、通常のフォトレジストをマスクにして六フッ化エタン(C₂F₆)ガスを用いた反応性イオンエッチング法によってエッチングした後、前記パッジベーション膜を、六フッ化硫黄(SF₆)と酸素(O₂)の混合ガスを用いた反応性イオンエッチング法により、前記シリコン酸化膜に対して選択的にエッチングするものである。

【0018】また、前記ワニス状高分子前駆体は、例えば請求項3に記載のように、サイクロテン樹脂、請求項4に記載のように、ビスベンゾシクロブテン(BCB)を用いることが出来る。

【0019】また、例えば請求項5に記載のように、半導体装置がメサ型のヘテロ接合バイオラランジスタの場合においては、前記キュアリング温度がベース層にベース電極をオーミックに接合させるためのオーミックアロイ温度よりも高い場合には、アロイの範囲が拡大する等の好ましくない作用が生じるおそれがあるので、キュアリング温度は少なくともアロイ温度よりも低い温度にすることが望ましい。また、同様の理由により、請求項6に記載のように、電界効果トランジスタの場合には、前記キュアリング温度は、少なくともソース又はドレインのイオン注入領域の活性化熱処理温度、またはオーミック電極作製のためのオーミックアロイ温度よりも低い温度にすることが望ましい。

【0020】前記のごとく、高電流増幅率、高周波特性、信頼性に優れた微細寸法のHBTの実現には、半導体表面のパッジベーション膜の選択が極めて重要であるが、特に化合物半導体では絶縁膜を堆積するときの損傷、ストレスが半導体界面に悪影響を与え、ペリフェリー成分が支配的となる微細サイズHBTの信頼性を含めた特性劣化を招いてしまう。堆積時の損傷、ストレスが少ないパッジベーション膜としては有機系絶縁膜が望ましく、その中でも膜中に副次生成物を含まず、かつ低吸湿性と急速な水分放出性を示すサイクロテン樹脂、特にBCB樹脂膜が化合物半導体表面のパッジベーション膜として最適である。

【0021】本発明においては、上記のようなサイクロテン樹脂、特にBCB樹脂膜を化合物半導体表面のパッジベーション膜として用い、かつ微細なコントタクトホールの形成を可能としたものである。

【0022】例えば、パッジベーション膜に上記のBCB膜を用いて0.8μm以下の電極上配線用コンタクトスルーホールを有するメサ型HBTを形成することは、下記の工程によって可能である。

(1) 少なくとも分子構造中にシリコン元素同士の化学結合を含有し炭素元素を主骨格とするワニス状BCB前駆体をメサ型HBTを搭載したウェハ上にスピンドルティング法によって塗布し、少なくとも上記HBTのベース電極オーミックアロイ温度よりも低い温度でキュアリングすることにより、上記BCB樹脂を完全に硬化させ、上記HBTの表面保護を担う有機系薄膜パッジベーション膜を製造する工程。

(2) 上記BCB薄膜上にシリコン酸化膜を少なくとも上記BCB薄膜製造時のキュアリング温度を越えない成膜温度で堆積する工程。

(3) 上記シリコン酸化膜上にパタニングされたフォトレジストをマスクにして、少なくとも上記シリコン酸化膜を六フッ化エタン(C₂F₆)ガスを用いた反応性イオンエッチング(RIE)法でエッチングした後、六フッ化硫黄(SF₆)と酸素(O₂)の混合ガスを用いたRIE法で上記BCB薄膜を上記シリコン酸化膜に対して選択的にエッチングすることにより、微細寸法のエミッタ電極配線用コンタクトホールを形成する工程。

【0023】上記のように本発明においては、パッジベーション膜として優れた性能を有してはいるが加工の難しいワニス状高分子前駆体(例えばBCB膜)に対して、微細サイズの配線コンタクト用開孔部を光露光フォトリソグラフィ及びRIE法で再現性良く形成できるため、エミッタ電極幅1.0μm以下の微細HBTの高集積化が実現できる。したがって高電流増幅率および良好な高周波特性を実現することが出来る。また、パッジベーション膜として低吸湿性と急速な水分放出性を有するワニス状高分子前駆体(例えばBCB膜)を用いるため、表面再結合電流が少なく信頼性にも優れた微細寸法のHBTを提供することができる。

【0024】

【発明の実施の形態】本発明によるInP/InGaAs系HBTの製造方法を図1～図10および図11を用いて説明する。図1～図10は、本実施の形態における製造方法の工程順に、それぞれの工程で形成された断面構造を示す図であり、逆メサ構造があらわれる(011)面方位から見た断面構造概略図である。ただし、上記の面方位の表示における「1」は「1」の逆方位を示す。また、各図においては、主として当該工程で形成または処理された部分については斜線を施すと共に符号と名称を記載し、前図と同じ部分は符号のみを付している。また、図11は、本発明の方法で形成したHBTの概略平面図であり、主として電極とスルーホールの配置を示している。

【0025】本実施の形態における製造方法は、エミッタ電極を先付けにしてベース電極を自己整合的に形成するプロセスに基づいており、各電極は蒸着及びリフトオフ法によって形成される。なお、この形成方法の基本プロセスは特願平3-295886号に例示されている。

【0026】まず、図1は、(100)面を主表面とする半絶縁性InP基板1上に、MOVPE、ガスソースMBE等のエピタキシャル成長法によって、コレクタにオーミック性抵抗を形成するための高濃度n型不純物を含むInGaAsコレクタコンタクト層2、InPとInGaAsから構成されるコレクタ層3、高濃度p型不純物をドープしたInGaAsベース層4、n型不純物をドープしたInPエミッタ層5、エミッタにオーミック性抵抗を形成するための高濃度n型不純物をドープしたInGaAsエミッタコンタクト層6を順次エピタキシャル成長させた積層構造を示す。

【0027】InPとInGaAsから構成されるコレクタ層3は、超高速、高耐圧用にバンド構造が設計されており、本実施の形態ではn型不純物をドープしたInP層3-1、n型不純物をドープしたInGaAs層3-2、アンドープInGaAs層3-3を順次エピタキシャル成長させたエピ層構造を用いている。

【0028】次に、図2は、図1に示した積層構造体のInGaAsエミッタコンタクト層6の上にエミッタ電極7を形成する工程を示している。このエミッタ電極7は、蒸着及びリフトオフ法で形成されるTi/Pt/Au/Pt/Ti積層構造あるいはスパッタ法及びRIE法で形成されるWSiN膜からなる。この時、エミッタ電極7の平面形状は、図11に示した様に六角形をなしており、(011)面方位がエミッタ長を形成し、エミッタ幅に(011)面方位を含まないことが特徴である(S.Yamahata,K.Kurushima,H.Ito, and Y.Matsuoka, "IEE GaAs IC Symposium" 1995, pp.163-166に例示されている)。

【0029】次に、図3は、上記エミッタ電極7をマスクにして、電子共鳴サイクロトロンで励起させたプラズマ源を用いた反応性イオンエッティング(ECRRIE)を行い、塩素／アルゴン混合ガスで異方性エッティング(塩素ガスにアルゴンガスを添加することでエッティングマスクに対してエッティング側面の垂直性が実現できる)を少なくともInGaAsエミッタコンタクト層6に達するまで行った後、クエン酸／過酸化水素水溶液によりInGaAsエミッタコンタクト層6をInPエミッタ層5に対して選択的にエッティングし、次に塩酸／リン酸溶液でInPエミッタ層5をInGaAsベース層4に対して選択的にエッティングする工程を示している。

【0030】InGaAsエミッタコンタクト層6はサイドエッティングされ、エミッタ電極7のマスク下にアンダーカット領域が形成される。InPエミッタ層5はこのInGaAsエミッタコンタクト層6をマスクにしてエッティングされることになる。上記のようにECRRIEと選択ウェットエッティングの組み合わせを用いることにより、面内均一性、再現性に優れたエミッタ電極7の下に適量のアンダーカット領域を含むエミッタメサ構造を実現することができる。

【0031】次に、図4は、上記のエミッタメサ構造上の全面およびInGaAsベース層4上の所定部分にPt/Ti/Pt/Au積層構造のベース電極8を蒸着及びリフトオフ法で形成する工程を示したものである。エミッタ電極7下にアンダーカット領域が形成されているため、蒸着されたベース電極8はInPエミッタ層5と短絡することなく、寄生ベース抵抗、ベースコレクタ接合容量が極めて小さいセルフアラインInPエミッタ／InGaAsベース構造が形成できる。また、エミッタ電極7の平面形状が、順メサ構造が現れベース電極8とInPエミッタ層5との短絡を招く(011)面方位を含まないため、InPエミッタ層5の選択ウェットエッティングが必要最低量で済み、面内均一性、再現性に優れる。また、ベース電極のメタルリフトオフ後300°Cでオーミック熱処理を行うことにより、良好なオーミック接触抵抗が得られる。なお、この工程で形成されたベース電極のうち、エミッタ電極の上に形成された部分8'は、エミッタ電極と一緒にになってエミッタ電極7となる。

【0032】次に、図5は、フォトレジストマスクを用いて、InGaAsベース層4及びInP／InGaAsコレクタ層3をクエン酸／過酸化水素水溶液、塩酸／リン酸溶液を用いて選択的にウェットエッティングすることにより、InGaAsコレクタコンタクト層2を露出させ、その後、蒸着及びリフトオフ法でTi/Pt/Au/Pt/Ti積層構造のコレクタ電極9を形成する工程を示したものである。

【0033】次に、図6は、フォトレジストマスクを用いてInGaAsコレクタコンタクト層9をクエン酸／過酸化水素水溶液でウェットエッティングすることにより、能動素子部以外をメサエッティングして素子間分離(図示せず)を行った後、ウェハ全面にサイクロテント樹脂BCBをスピンドルコートィングし、250°Cのキュアリングを施して半導体表面にBCBバッシャーション膜10を形成する工程を示したものである。BCB前駆体は粘性が低いため平坦性に優れており、配線プロセスにとって段切れ等のトラブルが回避できるので有効である。

【0034】上記のキュアリング温度は、一般には樹脂メーカーの保証温度で行なうが、少なくとも前記図4で示したベース電極のメタルリフトオフ後のオーミック熱処理温度よりも低い温度に設定する。これは熱処理温度よりも高い温度を印加することによってアロイ範囲の拡大等の好ましくない作用を避けるためである。なお、本実施の形態とは異なるが、電界効果トランジスタの場合においても、上記と同様の理由により、キュアリング温度は、少なくともソース又はドレインのイオン注入領域の活性化熱処理温度、またはオーミック電極作製のためのオーミックアロイ温度よりも低い温度にすることが望ましい。

【0035】また、図4に示すように、エミッタ電極

7、ベース電極8、コレクタ電極9の位置（BCB膜表面からの深さ）が異なるため、それぞれの電極上に塗布されたBCBの膜厚は異なっている。本実施の形態ではBCBの膜厚はエミッタ電極上は0.2μm、ベース電極上は0.7μm、コレクタ電極上は0.9μm程度である。

【0036】次に、図7は、上記BCBパッシベーション膜10を全面に塗布したウェハ全面にプラズマCVD法でシリコン酸化膜（SiO₂）11を堆積した後、エミッタ電極7上にパッド配線コンタクトスルーホール用のパタニングをフォトレジスト12で行う工程を示したものである。なお、このシリコン酸化膜11は層間絶縁膜として用いられる。このとき図11の平面図に示したように、エミッタ電極7と同時にベース電極8、コレクタ電極9上にもパッド配線コンタクトスルーホールのパターンが形成される。

【0037】なお、シリコン酸化膜11を形成する際の温度が前記のキュアリング温度以上であると、BCBパッシベーション膜10に何らかの化学変化を生じるおそれがあるので、シリコン酸化膜11はキュアリング温度以下で形成することが望ましい。

【0038】次に、図8は、上記シリコン酸化膜11を六フッ化エタン（C₂F₆）ガスを用いた反応性イオンエッチング（RIE）法でエッチングし、開孔部13を形成する工程を示したものである。六フッ化エタンガスを用いることによってフォトレジスト12との選択性がある程度確保でき、かつ垂直方向のみの異方性エッチングが可能である。

【0039】実際のC₂F₆-RIEを用いたエッチングレートの一実施例としては、ガス流量：50 sccm、ガス圧：2 Pa、RFパワー：100W（パワー密度：0.14W/cm²）、基板材質：テフロン、温度：室温、としたエッチング条件において、フォトレジスト：25 nm/min、SiO₂：35 nm/min程度である。この実施例ではSiO₂の膜厚：300 nm、フォトレジスト：1.2 μm程度である。

【0040】次に、図9は、上記フォトレジスト／シリコン酸化膜開孔部13をマスクにして、六フッ化硫黄と酸素の混合ガスを用いたRIE法でBCBパッシベーション膜10をエッチングすることにより、コンタクトスルーホール14を形成する工程を示したものである。

【0041】なお、図9にはエミッタ電極7上のコンタクトスルーホール14のみを示したが、図11の平面図からわかるようにベース電極8、コレクタ電極9上にも同時にコンタクトスルーホールを形成する。図11においては、エミッタ電極7、ベース電極8およびコレクタ電極9上のそれぞれのコンタクトスルーホールを14-1、14-2、14-3で示している。また、15-1、15-2、15-3はそれぞれのパッド配線を示す。

【0042】前記のように、BCBパッシベーション膜10の厚さは最も厚いコレクタ電極9上で0.9 μm程度、最も薄いエミッタ電極7上で0.2 μm程度であり、コレクタ電極9上のBCB膜を全て除去するにはエミッタ電極7上のBCB膜がかなりのオーバーエッチングになるが、六フッ化硫黄ガスと酸素の混合ガスを用いてシリコン酸化膜11のマスクに対して選択性がとれるので、オーバーエッチングを行ってもシリコン酸化膜11のマスクは大幅に後退することはない。このため一回の工程で微細寸法のエミッタ電極7、ベース電極8、コレクタ電極9上のパッド配線コンタクトスルーホール14が形成でき、スループットが短縮できる。

【0043】実際のSF₆-RIEを用いたエッチングレートの一実施例としては、ガス流量：六フッ化硫黄0.0 sccm／酸素50 sccm、ガス圧：1 Pa、RFパワー：70 W、基板材質：テフロン、温度：室温、のエッチング条件において、BCB：115 nm/min、フォトレジスト：105 nm/min、SiO₂：20 nm/min程度である。

【0044】なお、六フッ化硫黄と酸素の混合ガスのRIEの代わりに、六フッ化エタンガスRIEを用いてBCBのエッチングを行なった場合には、六フッ化エタンガスに対するBCBとシリコン酸化膜のエッチングレートが同程度なので大幅な選択性がとれないため、長時間のエッチングが必要となり、微細寸法パターンの形成には不利である。

【0045】次に、図10は、上記コンタクトスルーホール14を通してエミッタ電極7、ベース電極8、コレクタ電極9上にパッド配線15を形成する工程である。この場合、パッド配線メタルは厚いTi/Pt/Au（20/20/1200 nm）積層構造を用いている。

【0046】上記のように、図1～図10に示した工程により、パッシベーション膜として優れた性能を有してはいるが加工の難しいBCB樹脂膜に対して、微細サイズの配線コンタクト用開孔部を再現性良く形成できる。

【0047】なお、上記実施の形態においては、特にInP/InGaAs系における最も基本的な構造について説明したが、本発明はこれらに限定されるものではなく、InAlAs/InGaAs、AlGaAs/GaAs、InGaP/GaAs系等の他の材料系を用いたHBTへも適用できることはいうまでもない。また、ここでは、半導体装置がヘテロ接合バイポーラトランジスタの場合について説明したが、半導体装置が電界効果トランジスタでも良いことは言うまでもない。

【0048】

【発明の効果】以上述べてきたように、本発明においては、パッシベーション膜として優れた性能を有してはいるが加工の難しいワニス状高分子前駆体（例えばBCB膜）に対して、微細サイズの配線コンタクト用開孔部を光露光フォトリソグラフィ及びRIE法で再現性良く形

11

成できるため、エミッタ電極幅 $1.0 \mu\text{m}$ 以下の微細HTの高集積化が実現できる。したがって高電流増幅率および良好な高周波特性を実現することが出来る。また、パッシベーション膜として低吸湿性と急速な水分放出性を有するワニス状高分子前駆体（例えばBCB膜）を用いるため、表面再結合電流が少なく信頼性にも優れた微細寸法のHTを提供することができる、という効果が得られる。

【図面の簡単な説明】

【図1】本発明の一実施の形態における第1の工程で形成された結果を示す断面図。

【図2】本発明の一実施の形態における第2の工程で形成された結果を示す断面図。

【図3】本発明の一実施の形態における第3の工程で形成された結果を示す断面図。

【図4】本発明の一実施の形態における第4の工程で形成された結果を示す断面図。

【図5】本発明の一実施の形態における第5の工程で形成された結果を示す断面図。

【図6】本発明の一実施の形態における第6の工程で形成された結果を示す断面図。

【図7】本発明の一実施の形態における第7の工程で形成された結果を示す断面図。

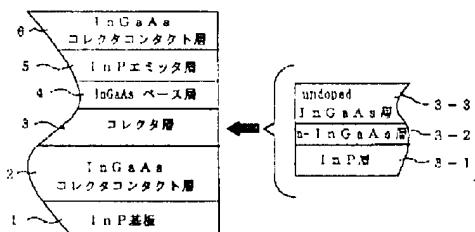
【図8】本発明の一実施の形態における第8の工程で形成された結果を示す断面図。

【図9】本発明の一実施の形態における第9の工程で形成された結果を示す断面図。

【図10】本発明の一実施の形態における第10の工程

【図1】

(図1)



で形成された結果を示す断面図。

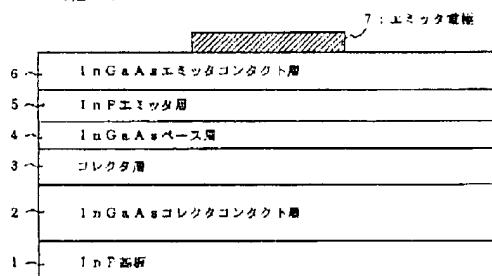
【図11】本発明の一実施の形態における素子の概略平面図。

【符号の説明】

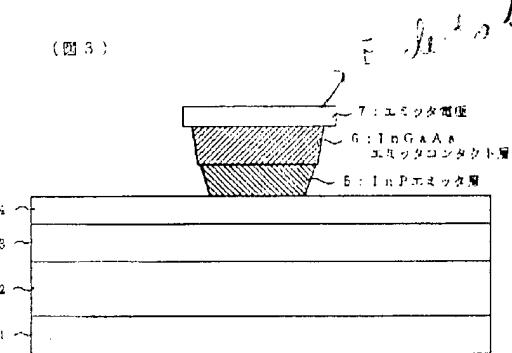
- 1…InP基板
- 2…InGaAsコレクタコンタクト層
- 3…コレクタ層
- 3-1…InP層
- 3-2…InGaAs層
- 3-3…InGaAs層
- 4…InGaAsベース層
- 5…InPエミッタ層
- 6…InGaAsエミッタコンタクト層
- 7…エミッタ電極
- 8…ベース電極
- 9…コレクタ電極
- 10…BCBパッシベーション膜
- 11…シリコン酸化膜
- 12…フォトレジスト
- 13…開孔部
- 14…パッド配線コンタクトスルーホール
- 14-1…エミッタ電極上のコンタクトスルーホール
- 14-2…ベース電極上のコンタクトスルーホール
- 14-3…コレクタ電極上のコンタクトスルーホール
- 15…パッド配線
- 15-1…エミッタ電極のパッド配線
- 15-2…ベース電極のパッド配線
- 15-3…コレクタ電極のパッド配線

【図2】

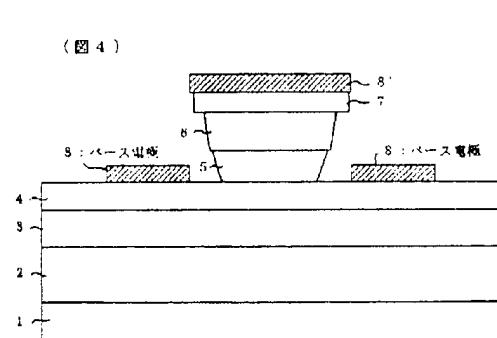
(図2)



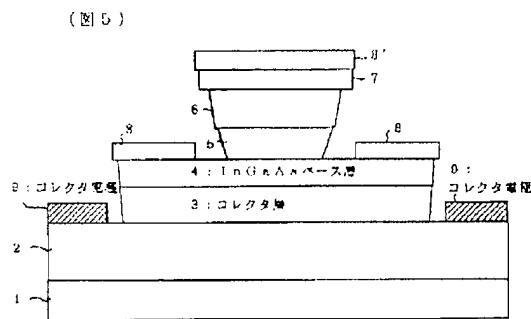
【図3】



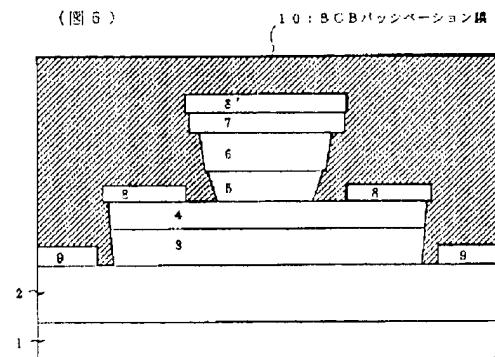
【図4】



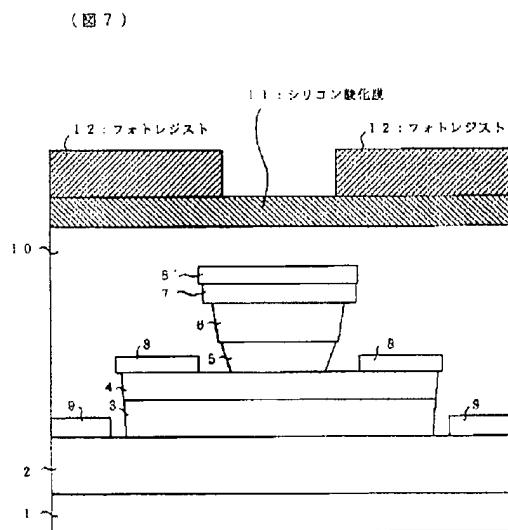
【図5】



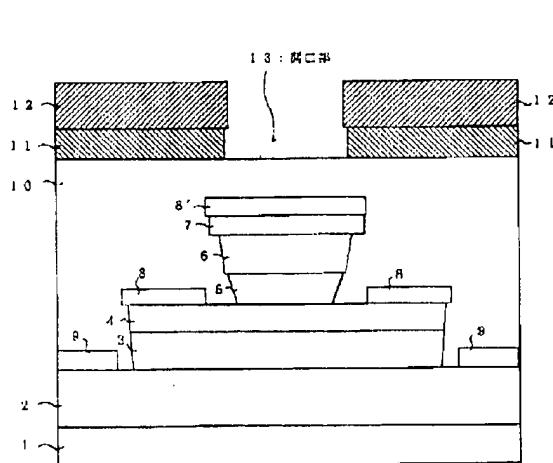
【図6】



【図7】

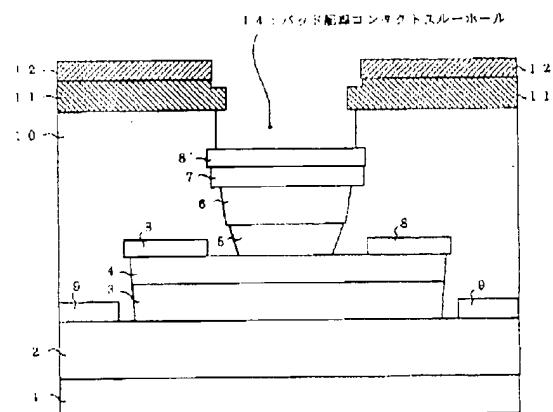


【図8】



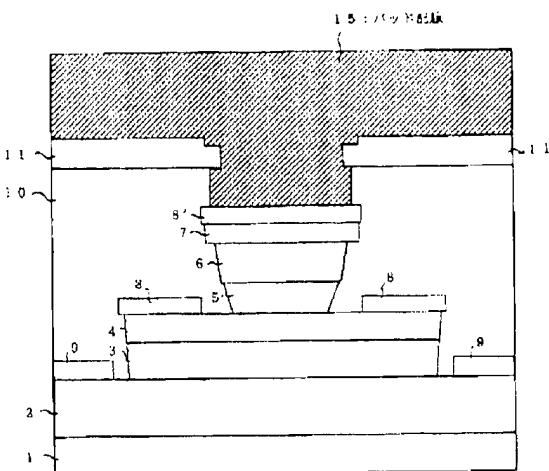
【図9】

(図9)



【図10】

(図10)



【図11】

(図11)

